

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-048612

(43)Date of publication of application : 16.03.1985

(51)Int.Cl.

H03H 19/00

(21)Application number : 58-157345

(71)Applicant : NEC CORP

(22)Date of filing : 29.08.1983

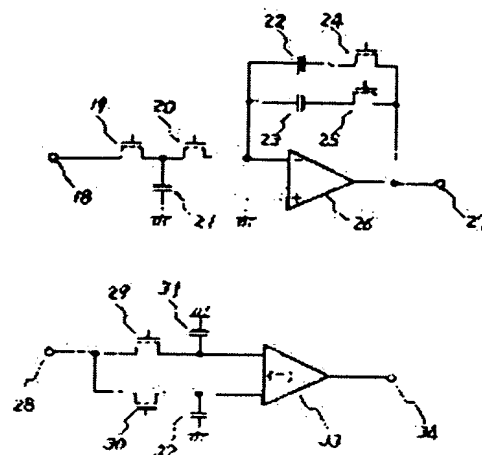
(72)Inventor : NAKAI TADASHI  
MORITO HIROSHI

## (54) FILTER

## (57)Abstract:

**PURPOSE:** To reduce a noise level by turning on/off two MOS switches of a reproducer at a prescribed section I, and inverting them at a prescribed section II so as to cancel or suppress the input noise generated from an MOS operational amplifier.

**CONSTITUTION:** A section where the MOS switch 15 of a multiplexer is turned on and the MOS switch 16 is turned off is taken as the section I, and a section where the switch 15 is turned off and the switch 16 is turned on is taken as the section II. An SC integration device being the basic building block of an SCF is provided with an MOS operational amplifier 26. An output signal of the integration device is an input signal added with a noise signal generated from the amplifier 26 itself at the section I and is a noise signal generated from the amplifier 26 itself at the section II. An MOS switch 29 of a reproduce is turned on and an MOS switch 30 is turned off at the section I, the input signal is inputted to a summing input of a subtractor 33 and the switch 29 is turned off and the switch 30 is turned on at the section II, and the input signal is inputted to a subtraction input of the subtractor 33. Only a transmission subtracting the noise signal from the output signal added with the noise signal is outputted by repeating the operation above.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-48612

⑮ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)3月16日

H 03 H 19/00

8124-5J

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 濾波器

⑰ 特 願 昭58-157345

⑱ 出 願 昭58(1983)8月29日

⑲ 発 明 者	中 井 正	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 発 明 者	森 戸 宏	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号	
⑲ 代 理 人	弁理士 内 原 晋		

明 細 書

1. 発明の名称

濾波器

2. 特許請求の範囲

第1のタイミングで入力信号に応じた信号を、第2のタイミングで基準電圧をそれぞれ出力する第1の回路手段と、演算増幅器ならびに該演算増幅器に対して設けられた第1および第2の帰還回路を含んで構成された積分回路を有し、前記第1のタイミングにตอบสนองして前記第1の帰還回路を活性化した状態で前記信号を前記演算増幅回路の入力に受け、前記第2のタイミングにตอบสนองして前記第2の帰還回路を活性化した状態で前記基準電圧を前記演算増幅回路の入力に受ける第2の回路手段と、第1および第2の入力端をもつ減算回路ならびに第1および第2の信号保持手段を有し、前記第1のタイミングにตอบสนองして前記積分回路の出力を前記第1の信号保持手段で保持すると共に前

記減算回路の第1の入力端に受け、前記第2のタイミングにตอบสนองして前記積分回路の出力を前記第2の信号保持手段で保持すると共に前記減算回路の第2の入力端に受ける第3の回路手段とを有することを特徴とする濾波器。

3. 発明の詳細な説明

本発明は、特に演算増幅器を構成素子としサンプリング手法を用いた能動濾波器に関するものである。

濾波器の小型化を目的として、演算増幅器を構成素子とする能動濾波器の研究が盛んに行なわれている。中でもMOS・LSI製造技術の確立により、発達したモノリシックIC濾波器として、サンプリング手法を用いたスイッチャッド・キャパシタフィルタ(Switched-Capacitor Filter、以下、SCFと称す)がある。近年のアナログMOS回路の発達により、SCFはMOS演算増幅器、MOSスイッチ及び容量により構成されている。

従来のSCFはモノリシックIC化された利点

がある一方、IC受動回路に比べて雑音特性が悪いと言う欠点がある。SCFの雑音特性を支配するのは、MOS演算増幅器自体から発生する等価入力雑音である。MOS演算増幅器の雑音特性は、数十kHzまでの低周波数領域においては、周波数に反比例して減少するフリッカ雑音が支配的であり、高周波数領域においては、MOSトランジスタのチャンネル抵抗による熱雑音が支配的であって雑音レベルは一定となる。

第1図に従来の回路の回路ブロック図を、第2図に従来の伝達装置であるSCFの基本構成であるSC積分器の一例をそれぞれ示す。第1図において、伝達装置であるSCF1は制御装置2の出力する制御クロックにより制御されている。第2図において、MOSスイッチ4の一端をもってSC積分器の入力端3とし、残る一端はMOSスイッチ5の一端に接続されるとともに、サンプリング容量6の一端に接続され、サンプリング容量6の残る一端は接地されている。MOSスイッチ5の残る一端は積分容量7の一端に接続されるととも

に演算増幅器8の逆相入力に接続されている。演算増幅器8の正相入力に接地されている。演算増幅器8の出力は積分容量7の残る一端に接続されるとともにSC積分器の出力端9となる。ここで、MOSスイッチ4及び5は第1図の制御装置2から出力される互いに重なり合わない2相クロックにより各々制御されており、MOSスイッチ4がオン、MOSスイッチ5がオフするある時刻において、入力端3に印加された入力信号をサンプリング容量6によりサンプリングし、次にMOSスイッチ4がオフ、MOSスイッチ5がオンとなる時刻( $T_n$ )において、サンプリング信号をMOS演算増幅器8の逆相入力へ転送する。この時、積分容量7を介して、時刻( $T_{n-1}$ )のMOS演算増幅器8の出力が逆相入力に帰還されているが、この帰還信号にはMOS演算増幅器8から発生した雑音信号が付加されている。上記動作を周期的に繰り返すSC積分器を基本構成とする従来のSCF1(第1図)においては、SC積分器の構成数だけMOS演算増幅器の雑音信号が相乗されて能動

回路から出力されると言う欠点がある。

本発明の目的は、MOS演算増幅器から発生する等価入力雑音をキャンセル又は抑制して雑音レベルの小さな能動回路を提供することにある。

次に本発明を実施例に従い、図面を用いて説明する。

第3図は、本発明の一実施例の回路ブロック図であり、多重化装置10、伝達装置11、再生装置12及び制御装置13により構成され、制御装置13は各装置10-12に制御クロックを供給する。多重化装置10の入力を信号入力端とし、この多重化装置10の出力は伝達装置11の入力に接続される。伝達装置11の出力は再生装置12の入力に接続され、再生装置12の出力をもって信号出力端として回路を構成している。

本実施例の回路を構成する多重化装置10の一実施例を第4図に示す。すなわち、多重化装置10は、それぞれ少なくとも一つのMOSトランジスタで構成されるMOSスイッチ15及び16を有し、MOSスイッチ15の一端をもって多重

化装置10の入力端子14とする。MOSスイッチ15の残る一端はMOSスイッチ16の一端と接続されるとともに多重化装置10の出力端17とする。MOSスイッチ16の残る一端は接地されている。MOSスイッチ15及び16は、制御装置13から出力される互いに重なり合わない第1の2相クロック(第7図に示す $\phi_1$ ,  $\phi_2$ )で制御され、MOSスイッチ15がオン、MOSスイッチ16がオフなる区間(以下、区間Iと称す)においては、入力端14に印加された信号(第8図に示す信号A)を出力端17に出力する。MOSスイッチ15がオフ、MOSスイッチ16がオンとなる区間(以下、区間IIと称す)においては、出力端17に接地電位を出力する。上記動作を周期的に繰り返し、多重化信号(第8図に示す信号B)を出力する。

次に、第3図で示した伝達装置11であるSCFの基本構成であるSC積分器を第5図に示す。SC積分器は、それぞれ少なくとも一つのMOSトランジスタで構成されるMOSスイッチ19, 20、

24および25、サンプリング容量21、積分容量22、23、ならびにMOS演算増幅器26で構成される。MOSスイッチ19の一端をもってSC積分器の入力端18とし、残る一端はMOSスイッチ20の一端と接続されるとともにサンプリング容量21の一端に接続されている。サンプリング容量21の残る一端は接地されている。

MOSスイッチ20の残る一端は、二つの積分容量22及び23の各々の一端と接続されるとともに、MOS演算増幅器26の逆相入力に接続される。MOS演算増幅器26の正相入力は接地されている。積分容量22の残る一端はMOSスイッチ24の一端に、積分容量23の残る一端はMOSスイッチ25の一端に各々接続され、MOSスイッチ24及び25の各々の残る一端は互いに接続されるとともにMOS演算増幅器26の出力と接続され、これをSC積分器の出力端27とする。ここで、MOSスイッチ24及び25は、制御装置13から出力される互いに重なり合わない第1の2相クロック(第7図に示す $\phi_1$ 、 $\phi_2$ 、これ

らは第4図のスイッチ15、16を制御するクロックと同じである)により制御され、MOSスイッチ19及び20は、制御装置13から出力されるクロックであって、第1の2相クロックの2倍の周波数を持ちかつ互いに重なり合わない第2の2相クロック(第7図で示す $\phi_3$ 、 $\phi_4$ )で制御されている。

多重化装置10の出力信号(第8図で示す信号B)の区間Iにおいて、MOSスイッチ24がオン、MOSスイッチ25がオフとなり、積分容量22により、MOS演算増幅器26の帰還経路が構成され、~~区間I~~区間IIにおいては、MOSスイッチ24がオフ、MOSスイッチ25がオンとなり、積分容量23により、MOS演算増幅器26の帰還経路が構成される。また、区間I及び区間IIの各々の区間において、MOSスイッチ19がオン、MOSスイッチ20がオフなる区間(以下サンプリング区間と称す)及びMOSスイッチ19がオフ、MOSスイッチ20がオンなる区間(以下転送区間と称す)を一往復する。

ここで、ある時刻の区間Iにおいて、入力信号をサンプリング区間でサンプリング容量21により、サンプリングし、転送区間でサンプリングした入力信号をMOS演算増幅器26の逆相入力へ転送する。この時刻の区間IにおけるMOS演算増幅器26の出力レベルは、積分容量22に保持される。次に、区間IIにおいては、MOSスイッチ24は、オフ状態となって積分容量22による帰還経路が遮断されるため、積分容量22の保持する信号レベルは変化しない。次の時刻の区間Iにおいても、サンプリング区間、転送区間と前記の動作を繰り返すが、この時積分容量22による帰還信号は、積分容量22の保持する信号、即ち前の時刻の区間IにおけるMOS演算増幅器26の出力信号である。上記の動作は、従来のSC積分器の動作と何ら変わりなく、本発明によるSC積分器の信号伝達特性は従来のSC積分器の信号伝達特性と全く同じである。区間IIにおけるSC積分器の出力信号は、入力信号が接地電位であるため、MOS演算増幅器26自体から発生する雑

音信号そのものであることは言うまでもない。

上記動作を周期的に繰り返す第5図で示したSC積分器の出力は、第8図の信号Cで示すように、区間Iにおいては、入力信号にMOS演算増幅器26自体から発生した雑音信号が付加されたものであり、区間IIにおいては、MOS演算増幅器26自体から発生した雑音信号である。

次に、第3図で示した再生装置12の一実施例を第6図に示す。すなわち、再生装置12は、それぞれ少なくとも一つのMOSトランジスタで構成されるMOSスイッチ29及び30、保持容量31及び32、ならびに減算器33で構成されている。MOSスイッチ29及び30の各々の一端を互いに接続するとともに再生装置12の入力端28とする。MOSスイッチ29の残る一端は保持容量31の一端に接続されるとともに、減算器33の加算入力に接続される。保持容量31の残る一端は接地される。MOSスイッチ30の残る一端は、保持容量32の一端と接続されるとともに、減算器33の減算入力に接続される。保持容

量32の残る一端は接地される。減算器33の出力をもって再生装置12の出力端34とする。

ここで、MOSスイッチ29及び30は、制御装置13から出力される第1の2相クロック(第7図に示す $\phi_1$ 、 $\phi_2$ )で制御され、区間Iにおいては、MOSスイッチ29がオン、MOSスイッチ30がオフとなり、入力端28から入力信号を減算器33の加算入力に入力するとともに保持容量31に保持する。区間IIにおいては、MOSスイッチ29がオフ、MOSスイッチ30がオンとなり、入力信号減算器33の減算入力に入力するとともに保持容量32に保持する。上記の動作を周期的に繰り返すことにより、ある時刻の区間I及び区間IIにおいて、区間Iでは、その区間Iの出力信号レベルから前の時刻における区間IIの出力信号レベル差し引いた信号を、区間IIでは、その前の区間Iの出力信号レベルからその区間IIの出力信号レベルを差し引いた信号を、再生装置12の出力信号としてそれぞれ出力し、結局、第8に示す信号Dを出力する。即ち、MOS演算増

幅器26が発生する雑音信号の付加された出力信号から該雑音信号を差し引いた伝達信号のみを出力信号とすることができる。

以上説明したように、本発明によれば、従来のモノリシックIC化と言う利点を生かし、かつMOS演算増幅器自体から発生する等価入力雑音をキャンセルした雑音レベルの小さい能動伊波器を得ることができる。そして、本発明による能動伊波器の数波数特性は、第5図で示したMOSスイッチ19、20およびサンプリング容量でなる抵抗成分と積分容量22とで決定され、所定の周波数特性を得るために、第5図で示したSC積分器を複数採用してもよいことは明らかである。

上記実施例では、第4図で示したMOSスイッチ16の一端を接地しているが、これに基準電位を供給し得るものであり、また、減算回路33の2つの入力は交換し得る。演算増幅器26はバイポーラトランジスタでも構成し得、各スイッチもMOSトランジスタ構成に限定されない。

#### 4. 図面の簡単な説明

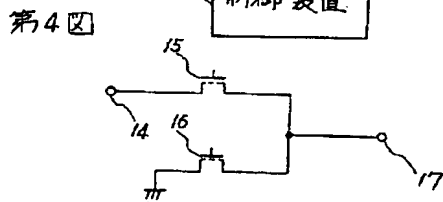
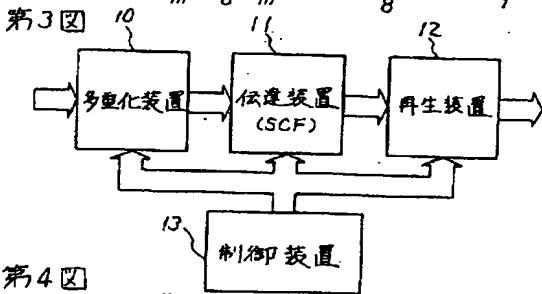
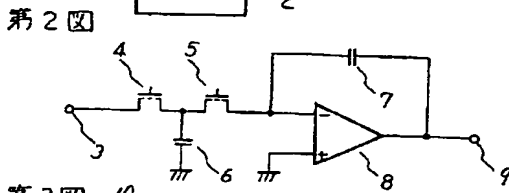
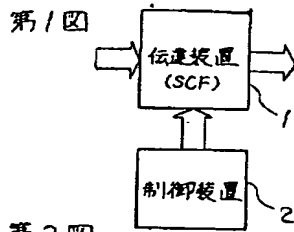
第1図は従来の能動伊波器の回路ブロック図、第2図は従来の伝達装置であるSCFの基本構成となるSC積分器を示す回路図、第3図は本発明の一実施例を示す能動伊波器のブロック図、第4図乃至第6図は第3図で示した能動伊波器を構成する各ブロック図の具体的な構成の一例を示す回路図、第7図は制御クロックのタイムチャート、第8図は第2図で示した能動伊波器の各段の出力信号波形図である。

1……伝達装置、2……制御装置、3……SC積分器の入力端子、4、5……MOSスイッチ、6……サンプリング容量、7……積分容量、8……MOS演算増幅器、9……SC積分器の入力端子、10……多重化装置、11……伝達装置、12……再生装置、13……制御装置、14……多重化装置の入力端子、15、16……MOSスイッチ、17……多重化装置の出力端子、18……SC積分器の入力端子、19、20……MOSスイッチ、21……サンプリング容量、22、23

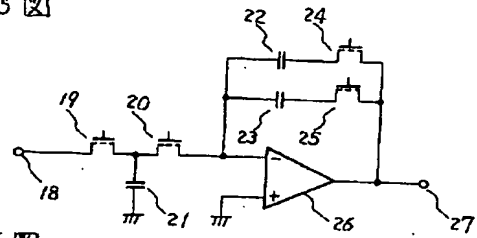
……積分容量、24、25……MOSスイッチ、26……MOS演算増幅器、27……SC積分器の出力端子、28……再生装置の入力端子、29、30……MOSスイッチ、31、32……保持容量、33……減算器、34……再生装置の出力端子。

代理人 弁理士 内 原 晋

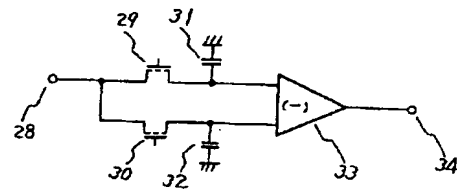




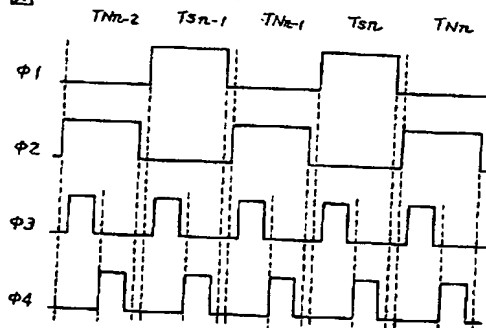
第5図



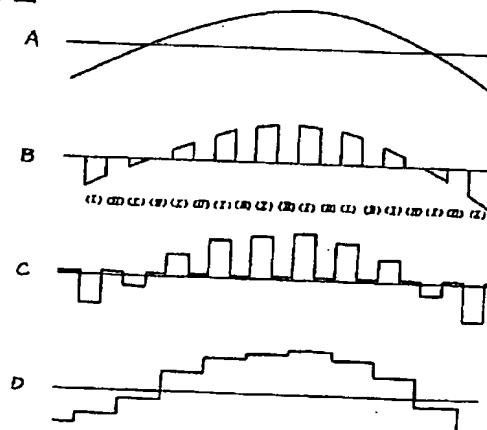
第6図



第7図



第8図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**